



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Bernhard Schaffer

Serial No.: 10/765,620

Filing Date: **January 27, 2004**

Title: **Voltage Regulator with Frequency
Response Correction**

§
§ Group Art Unit: 2838
§
§ Examiner:
§
§ Attny. Docket No. 068758.0160
§ Client Ref.: 10289US/lg
§

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CERTIFICATE OF MAILING VIA EXPRESS MAIL

PURSUANT TO 37 C.F.R. § 1.10, I HEREBY CERTIFY THAT I HAVE INFORMATION AND A REASONABLE BASIS FOR BELIEF THAT THIS CORRESPONDENCE WILL BE DEPOSITED WITH THE U.S. POSTAL SERVICE AS EXPRESS MAIL POST OFFICE TO ADDRESSEE, ON THE DATE BELOW, AND IS ADDRESSED TO:

MAIL STOP MISSING PARTS
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

EXPRESS MAIL LABEL: EV448723689US
DATE OF MAILING: JUNE 21, 2004

SUBMISSION OF PRIORITY DOCUMENT

Dear Sir:

We enclose herewith a certified copy of German patent applications 101 36 715.5 and 101 49 907.8 which are the priority documents for the above-referenced patent application.

Respectfully submitted,

BAKER BOTTS L.L.P. (023640)

Date: June 21, 2004

By:
Andreas H. Gruben
(Limited recognition 37 C.F.R. §10.9)
One Shell Plaza
910 Louisiana Street
Houston, Texas 77002-4995
Telephone: 713.229.1964
Facsimile: 713.229.7764
AGENT FOR APPLICANTS

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 36 715.5

Anmeldetag: 27. Juli 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Verfahren und Einrichtung zur Frequenzgang-Korrektur von integrierten Spannungsreglern

IPC: G 05 F 1/10

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Klostermeyer

Beschreibung

Verfahren und Einrichtung zur Frequenzgang-Korrektur von integrierten Spannungsreglern

Systeme auf Silizium erfordern häufig die Bereitstellung von unterschiedlichen hohen Betriebsspannungen (IO-Bereich, digitaler Core und Analogschaltungen).

Falls aus einer gegebenen Versorgungsspannung eine Betriebsspannungen von geringerem Pegel zu generieren ist, kommen diskrete Spannungsregler als zusätzliche Bauelemente zum Einsatz.

Diese sind wegen hoher Kosten und zusätzlicher Steuerleitungen nicht immer wünschenswert, können jedoch kostensparend neben dem System auf Silizium integriert werden.

Die Realisierung von integrierten Spannungsreglern ist wegen Stabilitätsproblemen nicht trivial.

Die Entwicklung von diskreten Spannungsregler-Bausteinen beinhaltet naturgemäß das selbe technische Problem.

1.1 Stabilitätsbetrachtung von Spannungsreglern im Frequenzbereich

1.1.1 Komponenten von Spannungsregelkreisen

- Referenzspannung U_{ref}
- Regelverstärker (z.B. Operationsverstärker)
- Regeltransistor Q (z.B. FET, oder Bipolartransistor), in Abb.1 als gesteuerte Stromquelle skizziert
- Last (Verbraucher dargestellt durch Lastwiderstand R_L , externe Pufferkapazität C_L , interner Spannungsteiler R_1/R_2)

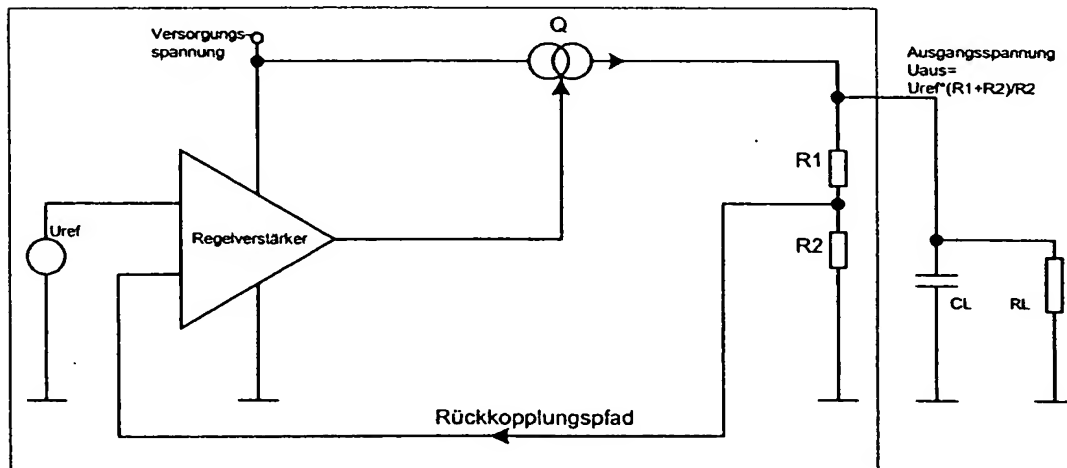


Abb. 1 Schema eines Spannungsreglers

1.1.2 Gleichspannungsverstärkung der offenen Regelschleife

Die Gleichspannungsverstärkung der offenen Regelschleife (Kleinsignalbereich) setzt sich aus mehreren Faktoren zusammen:

- Gleichspannungsverstärkung des Regelverstärkers 40..60dB. Dieser Betrag resultiert aus den Anforderungen an die statische Regelabweichung.
- Der Regeltransistor in Verbindung mit dem Lastwiderstand und Spannungsteiler liefert einen Beitrag im Bereich 0..30dB zur Verstärkung, abhängig von dem für Q verwendeten Transistor und der ohm'schen Last (R_L).

1.1.3 Pole in der offenen Schleifenübertragungsfunktion:

- Der Regelverstärker weist einen dominanten Pol $fp0$ auf, dessen Frequenz innerhalb bestimmter Grenzen platziert werden kann (abhängig von der Eingangskapazität des Regeltransistors und dem zulässigen Stromverbrauch des Regelverstärkers).
- Der Regeltransistor in Verbindung mit dem Lastwiderstand und Lastkapazität liefert ein variablen Pol $fp1$, dessen Lage lastabhängig um mehrere Dekaden variieren kann.
- Im Frequenzbereich $\gg 1$ MHz liegen parasitäre Pole des Regelverstärkers ($fp2$ und weitere)

1.1.4 Stabilität der Regelschleife

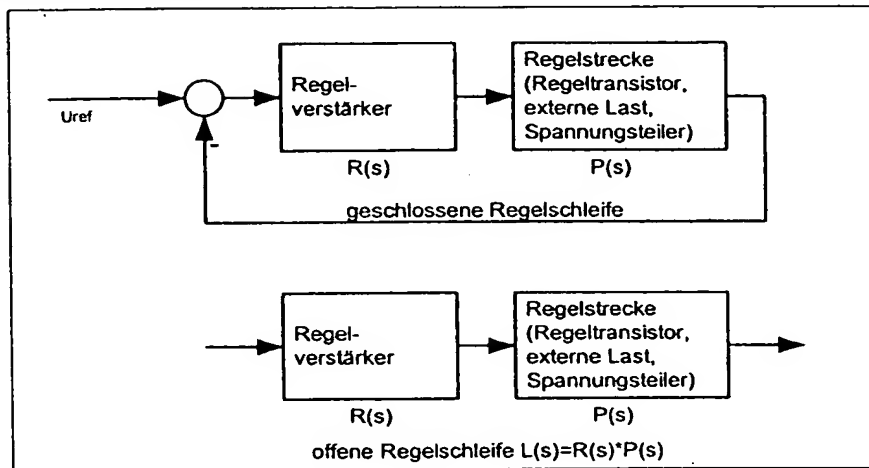


Abb. 2 Systemschaltbild

Übertragungsfunktion der offenen Regelschleife im s-Bereich: $L(s) = \frac{A0}{(1 + s / sp0)(1 + s / sp1)(1 + s / sp2)}$

Anm.:

Pol des Regelverstärkers $sp0$

Lastpol $sp1 \sim \frac{1}{CL \cdot RL_{ges}}$,

$RL_{ges} \sim RL \parallel (R1 + R2)$ näherungsweise (Ausgangswiderstand des Regeltransistors Q vernachlässigt)

Parasitärer Pol $sp2$

$sp = 2 \cdot \pi \cdot fp$

$sz = 2 \cdot \pi \cdot fz$

Die hohe Gleichspannungsverstärkung $A0$ in Verbindung mit mehreren Polen bewirkt, dass die Phase der offenen Schleifenübertragungsfunktion bei Erreichen der Transitfrequenz ft um 180° und mehr verschoben sein kann (siehe Abb. 3 unkorrigierter Frequenzgang).

Zusammenfassung des Stabilitätsproblems: Durch den Einfluss von mehreren Polen $fp0$, $fp1$ und $fp2$ in Verbindung mit der hohen Verstärkung $A0$ kann die Phasenreserve der offenen Regelschleife unzulässige Werte um 0° erreichen.

2 Problemlösung durch Frequenzgang-Korrektur

Ziel der Frequenzgang-Korrektur ist eine Phasenreserve der offenen Regelschleife von $>45^\circ$. Dazu gibt es unterschiedliche Lösungsansätze mit spezifischen Nachteilen:

2.1 integrierender Regelverstärker

Die Transitfrequenz f_t des Systems wird durch Realisierung von sehr niedriger f_0 weit unter dem Wirkungsbereich der Pole f_{p1} , f_{p2} platziert (Nachteil: langsame Regelung, grosse integrierte Kapazitäten notwendig, um geringe f_0 zu erreichen).

2.2 Regelverstärker mit grosser Bandbreite

f_{p0} wird $\gg f_t$ realisiert (Nachteile: hoher Stromverbrauch der Regelverstärkers, hohe Transitfrequenz des Systems - parasitäre Pole wie f_{p2} können die Phasenreserve weiter verschlechtern).

2.3 Nullstellen in der offenen Schleifenübertragungsfunktion

2.3.1 Wirkungsweise der Nullstelle

Eine Nullstelle an der Frequenz f_{z1} in der offenen Schleifenübertragungsfunktion $L(s)$, hebt die Phasendrehung eines Pols auf (siehe Abb. 3). f_{z1} wird sinnvollerweise $< f_t$ gewählt.

2.3.2 Realisierungsmöglichkeiten einer Nullstelle

- Erzeugung einer Nullstelle durch externe Beschaltung des Spannungsreglers mit passiven Bauelementen (Nachteil: kostspielige, externe Bauelemente)
- Die Erzeugung einer Nullstelle durch integrierte aktive Filter (Nachteil: zusätzlicher Stromverbrauch)
- Die Erzeugung einer Nullstelle durch 'feed forward' Techniken (Nachteil: schwer abschätzbare Nebeneffekte der Schaltung)
- Realisierung der Nullstelle durch einen integrierten Serienwiderstand im Lastkreis (Vor- und Nachteile: siehe Abschnitt 3).
Diese Variante soll in den folgenden Abschnitten behandelt werden.

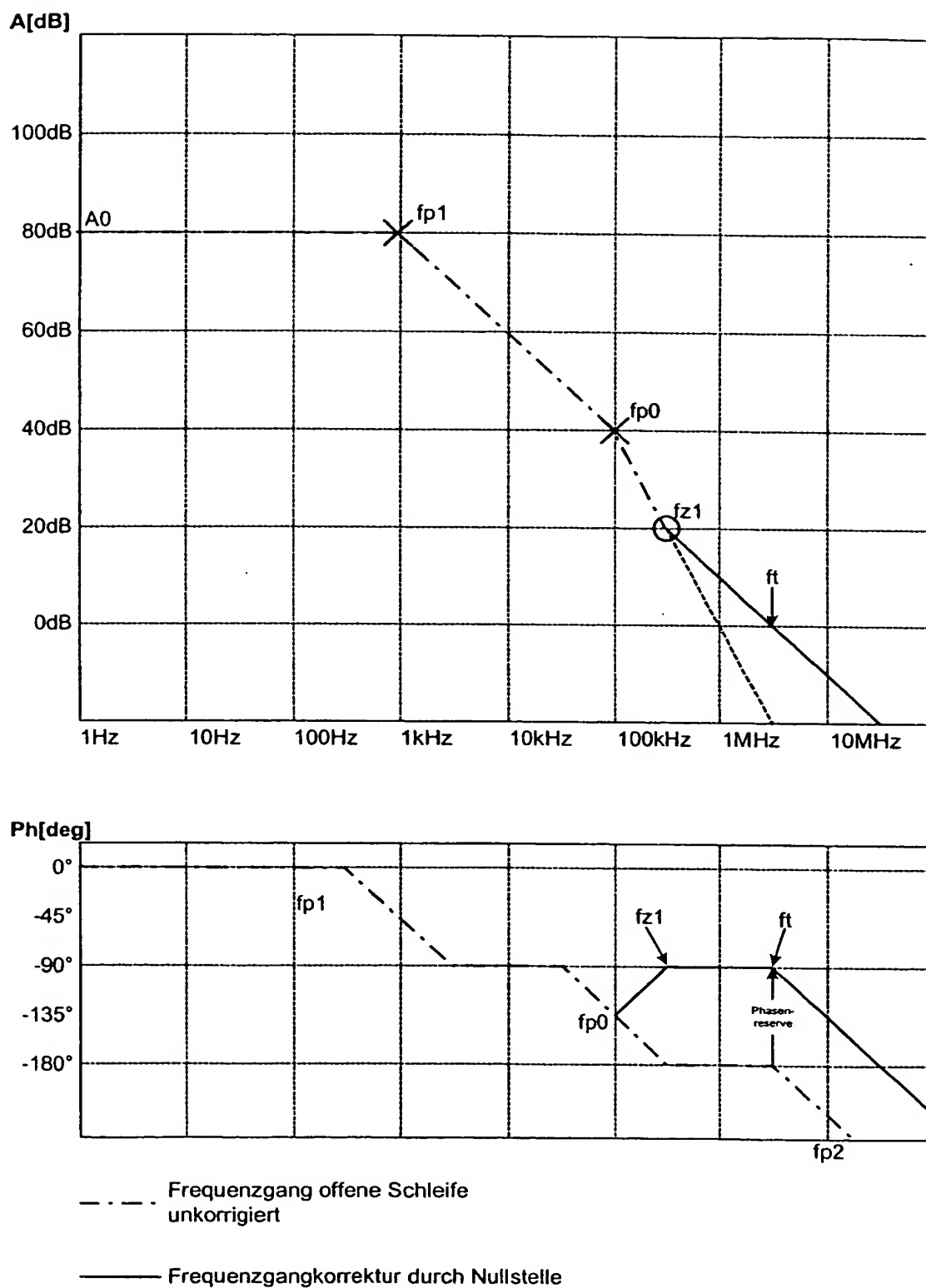


Abb. 3 Bsp. eines Frequenzgangs (Betrag, Phase)

Die Erfindung umfasst die Realisierung der Frequenzgang-Korrektur durch eine Nullstelle mittels eines Serienwiderstands ausgangsseitig des Spannungsreglers.

Die Einbringung eines Serienwiderstandes R_Z in den Lastkreis bewirkt in Verbindung mit einer externen Pufferkapazität CL eine Nullstelle in der offenen Regelschleife.
 $f_z = CL \cdot R_Z / (2 \cdot \pi)$.

$$\text{Damit wird } L(s) = \frac{A0 \cdot (1 + s / sz0)}{(1 + s / sp0)(1 + s / sp1)(1 + s / sp2)}$$

Durch geeignete Wahl von f_z kann für einen grossen Bereich von RL ausreichende Phasenreserve erreicht werden

3.1 Vorteile der Frequenzkompensationsmethode

- Parasitäre Impedanzen im Lastkreis (ESR, siehe Abb. 6) können die Regelstrecke nur mehr geringfügig beeinflussen, da R_Z über ESR dominiert.
- Zur Realisierung der Nullstelle genügt R_Z , ein integriertes, passives Bauelement (kostengünstig, stromsparend)
- Die Nullstellenfrequenz f_z ist gut reproduzierbar von R_Z und CL abhängig (nicht von Transistorparametern und Betriebsspannungen)

3.2 Nachteile

- Vom Laststrom I abhängige Fehlspannung durch Spannungsabfall am Widerstand R_Z . $U_f = I \cdot R_Z$.
- Die Integration des Serienwiderstandes ist problematisch, da dieser einen sehr geringen Wert (R_Z) und grosse Strombelastbarkeit (I) aufweisen muss.

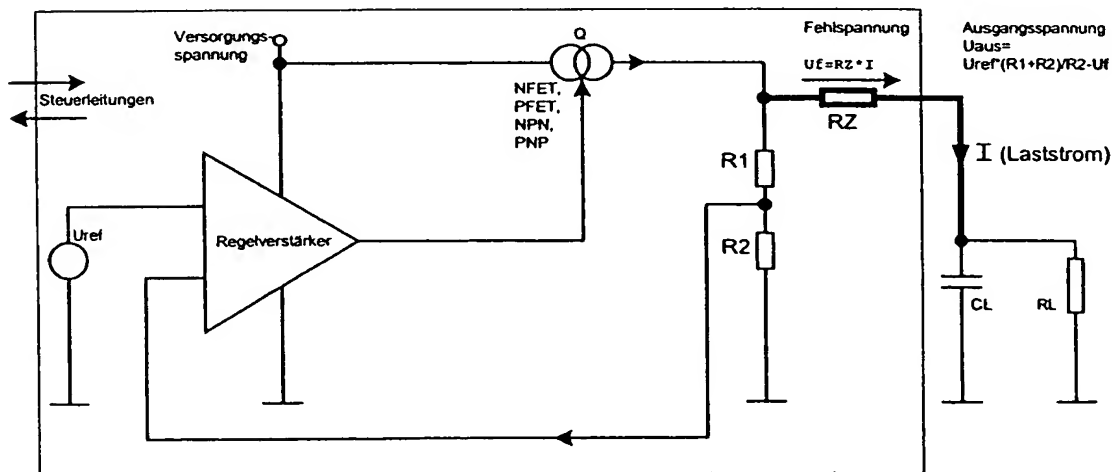


Abb. 4 Frequenzgang-Korrektur mit Serienwiderstand

Somit besteht ein Grundgedanke der Erfindung in der Realisierung der Frequenzgang-Korrektur durch einen Serienwiderstand oder ein vergleichbar wirkendes Bauelement unter Umgehung der aufgeführten Nachteile.

4.1 Kompensation der Fehlspannung U_f

Die Fehlspannungskompensation wird durch eine Frequenzweiche im Rückkopplungspfad realisiert. Die Frequenzweiche überträgt Signale mit Frequenzen $\ll f_w$ von B nach C und Signale mit Frequenzen $\gg f_w$ von A nach C.

Wirkung der Frequenzweiche:

U_f wird für den Frequenzbereich $\ll f_w$ durch Abgriff an Punkt B ausgeregelt und ist somit an der Last nicht messbar.

Für den Frequenzbereich $\gg f_w$ wird durch Abgriff an Punkt A geregelt, wodurch die Nullstelle an f_z wirksam wird und die Phasenvordrehung (Frequenzgangkorrektur) gewährleistet.

Voraussetzung: $f_z < f_t$ gewählt.

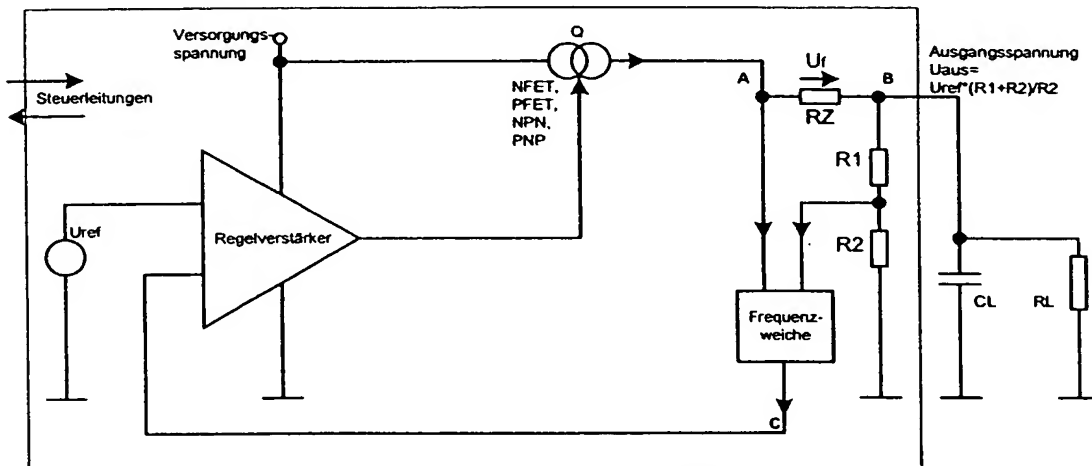


Abb. 5 Fehlspannungskompensation durch Frequenzweiche

Anm.: der maximale Koppelfaktor der Frequenzweiche von A \rightarrow C sollte grösser oder gleich dem B \rightarrow C gewählt werden, um keinen zusätzlichen Pol um f_w entstehen zu lassen.

Die Frequenzweiche kann schaltungstechnisch als passives RC-Filter realisiert werden.

4.2 Integration des Serienwiderstandes

R_Z wird mitsamt dem Regeltransistor als Parallelschaltung von N Einzelelementen mit $R = R_Z \cdot N$ ausgeführt, welche für sich nur geringe Strombelastbarkeit von I/N aufweisen müssen. (Siehe Abb. 6)

5 Ausführungsbeispiel

Dimensionierung einer Frequenzkompensation:

Ein integrierter Spannungsregler soll $U_{aus} = 1.5V$ bei $I = 0.1A$ Maximalstrom liefern.

Die Summe der internen Widerstände $R_1 + R_2$ beträgt $150k\Omega$.

f_{p0} des Regelverstärkers sei konstruktionsbedingt $100kHz$

Die geregelte Versorgungsspannung wird mit einer externen Kapazität $C_L = 1\mu F$ gestützt.

Abschätzung der Pol- und Nullstellenfrequenzen:

R_{Lges} ist minimal $\sim 1.5/0.1 = 15\Omega$ und maximal $150k\Omega$
 f_{p1} liegt somit im Bereich $\sim 1Hz \dots 10kHz$

R_Z wird gewählt mit 0.32Ω .

Der Fehlspannungsabfall an R_Z bei Maximalstrom ist maximal $0.32 \cdot 0.1 = 0.032V$.

bei einer Kapazität von $C_L = 1\mu F$ und einem Widerstand $R_Z = 0.32\Omega$ kommt die gewünschte Nullstelle bei $f_z = 1/(2 \cdot \pi \cdot 0.32\Omega \cdot 1\mu F) \sim 500kHz$ zu liegen.

Frequenzgang: siehe Abb. 3

Der Frequenzgang weist in jedem zulässigen Lastfall ausreichend Phasenreserve auf.

Abb. 3 entspricht 10% der max. Last ($f_{p1} = 1kHz$).

Bei Betrachtung des Phasengangs in Abb. 2 ist ersichtlich: auch bei minimaler Last ($f_{p1} = 1Hz$) und Vollast ($f_{p1} = 10kHz$) würde die Phasenreserve 45° nicht unterschreiten.

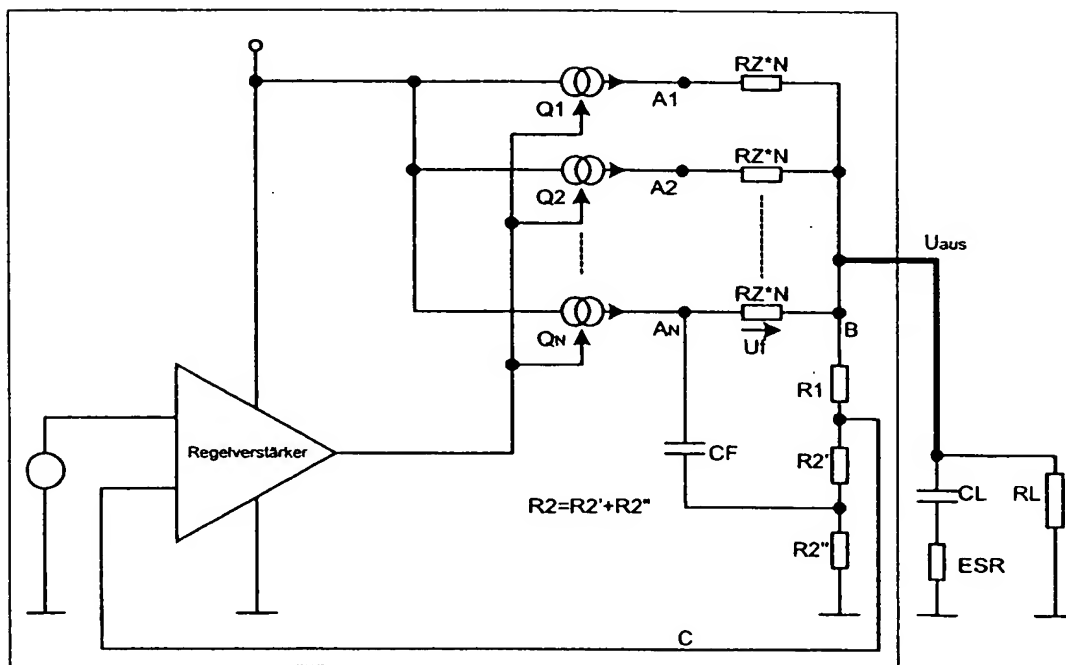


Abb. 6 Schaltbild Ausführungsbeispiel

Anm. zum Ausführungsbeispiel Abb. 6:

- Der Widerstand R_2 wird in 2 Teile $R_2' + R_2''$ geteilt ($R_2'' \ll R_2' + R_1$).
- die Frequenzweiche wird im wesentlichen aus R_1 , R_2' , R_2'' und C_F gebildet.
 Näherungsweise $f_w \sim 1/(2 \cdot \pi \cdot C_F \cdot (R_2'' \parallel (R_1 + R_2')))$
- C_F wird am Chip integriert. Denkbar ist die Realisierung als Gatekapazität/Sperrschichtkapazität, da im Betriebsfall ausreichend Spannung anliegt.
- Es ist nicht notwendig, die Punkte A_1, A_2, \dots, A_N elektrisch zu verbinden. Dynamisch und statisch liegen $A_1 \dots A_N$ auf gleichem Potential, da die Belastung des Punktes A_N durch C_F vernachlässigbar ist.

Vorteile der Ausführung in Abb. 6:

- Jeder Einzeltransistor ($Q_1 \dots Q_N$) mit einem Vorwiderstand der Grösse $R_Z \cdot N$ versehen (erhöhter ESD Schutz).
- Bei Verwendung von Bipolartransistoren für $Q_1 \dots Q_N$ ist die Anbringung von Serienwiderständen von Vorteil für deren thermischen Entkopplung.